

고속 모드 (Hs-mode)

High-speed mode (Hs-mode) 디바이스들은 I2C-bus 전송 속도에서 양자 비약(quantum leap)을 제공합니다. Hs-mode 디바이스들은 최대 3.4 Mbit/s 의 비트율로 정보를 전달할 수 있지만, 혼합-스피드 버스 시스템에서 양-방향 통신에 관해서는 Fast- 또는 Standard-mode (F/S-mode) 디바이스들과 완전한 하향 호환을 유지합니다.

중재와 클럭 동기화가 Hs-mode 전송 동안에는 실행되지 않는다는 예외와 더불어, 동일한 직렬 버스 프로토콜과 데이터 포맷은 F/S-mode 시스템같이 유지됩니다. 비록 Hs-mode 디바이스들이 수많은 애플리케이션들에 설계될 수 있는 것으로 선호된다 할지라도, 애플리케이션에 따라 새로운 디바이스들은 Fast 또는 Hs-mode I2C-bus 인터페이스를 가질 수 있습니다.

고속 전송

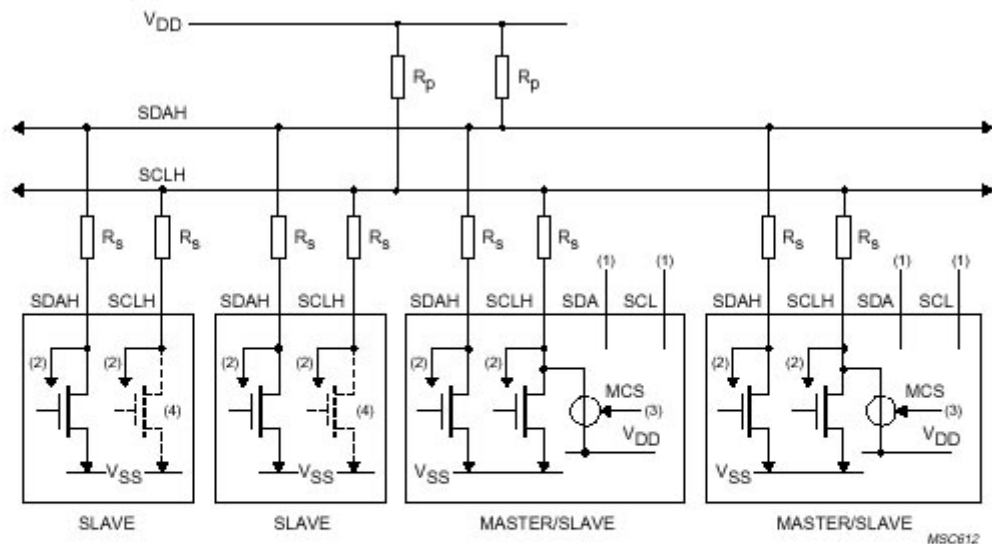
최대 3.4 Mbit/s 의 비트 전송을 달성하기 위해 통상의 I2C-bus 규격에서 다음이 개선되었습니다.

- Hs-mode 마스터 디바이스들은 SDAH 신호를 위한 open-drain 아웃풋 버퍼, 그리고 SCLH output (1)의 current-source pull-up 회로와 open-drain pull-down 의 조합을 갖습니다. 이 전류-소스 회로는 SCLH 신호의 상승 시간을 단축시킵니다. 한 마스터의 전원-소스만이 어느 한 순간, 그리고 Hs-mode 동안에만 enable 됩니다.
- 멀티-마스터 시스템에서 Hs-mode 동안에는 중재 또는 클럭 동기화가 수행되지 않으며, 이는 비트 처리 능력의 속도를 빠르게 합니다. 중재 절차는 항상 F/S-mode 에서 진행 마스터 코드 전송 후에 완료됩니다.
- Hs-mode 마스터 디바이스는 1 대 2 의 HIGH 대 LOW 비율로 serial clock 신호를 생성합니다. 이것은 set-up 과 hold 동안의 타이밍 요건을 없애줍니다.
- 옵션으로, Hs-mode 마스터 디바이스는 built-in bridge (1)를 가질 수 있습니다. Hs-mode 전송 동안, Hs-mode 디바이스의 고속 데이터(SDAH) 와 고속 serial clock (SCLH) 라인들은 이 브리지에 의해 F/S-mode 디바이스의 SDA 와 SCL 라인들로부터 분리됩니다.

이것은 SDAH 와 SCLH 라인들의 용량 적재를 줄여서 보다 빠른 상승과 하강 시간을 가져옵니다.

- Hs-mode 슬레이브 디바이스와 F/S-mode 슬레이브 디바이스 간의 유일한 차이는 그들이 작동하는 속도입니다. Hs-mode 슬레이브들은 SCLH 와 SDAH 아웃풋에서 open-drain 아웃풋 버퍼를 갖습니다. 비록 Hs-mode 전송에서의 응답 비트(acknowledge bit) 후에 허용되기는 하지만, 옵션에 따라 SCLH 핀에서의 pull-down 트랜지스터가 사용되어 SCLH 신호의 LOW 레벨을 눌러 사용할 수 있습니다.
- Hs-mode 디바이스의 인풋은 SDAH 와 SCLH 인풋에서 스파이크(spike) 삭제와 Schmitt trigger 를 편입합니다.
- Hs-mode 디바이스의 아웃풋 버퍼는 SDAH 와 SCLH 신호의 하강 에지의 슬로프 제어를 편입합니다.

아래 그림은 Hs-mode 디바이스만 있는 시스템에서의 물리적인 I2C-bus 구성을 보여줍니다. 마스터에서의 핀 SDA 와 SCL 은 오직 혼합-속도 버스 시스템에서만 사용되며 Hs-mode 만의 시스템에는 연결되지 않습니다. 그런 경우, 이러한 핀들은 다른 기능을 위해 사용될 수 있습니다.



- (1) SDA and SCL are not used here but may be used for other functions.
 (2) To input filter.
 (3) Only the active master can enable its current-source pull-up circuit
 (4) Dotted transistors are optional open-drain outputs which can stretch the serial clock signal SCLH.

옵션인 series resistors R_s 는 I2C-bus 디바이스의 I/O stages 를 버스 라인의 고압 스파이크로부터 보호하며 ringing 과 interference 를 최소화합니다. Pull-up 레지스터 R_p 는 버스가 자유로울 때 SDAH 와 SCLH 라인을 HIGH 레벨로 유지하며 요구된 상승 시간 내에 신호들이 LOW 에서 HIGH 레벨로 끌려 올라가게 합니다. 보다 큰 용량의 버스-라인 적재의 경우 (>100 pF), 레지스터 R_p 는 상승 시간 요건을 맞추기 위해 외부 current source pull-ups 로 대체될 수 있습니다. 응답 비트(acknowledge bit)로 진행되지 않는다면, Hs-mode 전송에서의 SCLH 클럭 펄스의 상승 시간은 활성 마스터의 내부 current-source pull-up circuit MCS 에 의해 단축됩니다.