

클럭 동기화

모든 마스터는 I2C-bus 에서 메시지를 전송하기 위해 SCL 라인에서 그들의 고유 클럭을 생성합니다. 데이터는 클럭의 HIGH 주기 동안만 유효합니다. 따라서 비트 단위 중재 처리가 발생하기 위해서 정의된 클럭이 필요합니다.

클럭 동기화는 SCL 라인에 대한 wired-AND 연결의 I2C 인터페이스를 사용하여 수행됩니다. 이것은 SCL 라인에서 HIGH 에서 LOW 로의 변환이 관련 디바이스들이 그들의 LOW 주기를 세기 시작하게 한다는 것을 의미하며, 일단 디바이스 클럭이 LOW 로 가면, 클럭 HIGH 상태에 도달될 때까지 그 상태에서 SCL 라인을 유지합니다. 그러나, 이 클럭의 LOW 에서 HIGH 로의 변환은 또다른 클럭이 LOW 주기 내에 아직 있다면 SCL 라인의 상태를 변경하지 않아도 됩니다. 그러므로 SCL 라인은 가장 긴 LOW 주기를 가진 디바이스에 의해 LOW 로 유지됩니다. 이보다 짧은 LOW 주기를 가진 디바이스들은 이 기간 동안 HIGH 대기 상태로 들어갑니다.

관련된 모든 디바이스들이 그들의 LOW 주기를 셀 때, 클럭 라인이 해제되고 HIGH 로 가게 됩니다. 그리고 나면 디바이스 클럭들과 SCL 라인의 상태 간에는 차이가 없게 되며, 모든 디바이스들은 그들의 HIGH 주기를 세기 시작합니다. High 주기를 완료한 최초 디바이스가 다시 SCL 라인을 LOW 로 끌어 당깁니다. 이런 방식으로 동기화된 SCL 클럭이 가장 긴 클럭 LOW 주기를 가진 디바이스에 의해 결정된 LOW 주기로 생성되며, 가장 짧은 클럭 HIGH 주기를 가진 것에 의해 결정된 HIGH 주기가 생성됩니다.